

# DM163

---

版本 : A.004  
发布日期 : 2009/7/14  
文件名称 : SP-DM163-A.004.doc  
总页数 : 22

## 8x3-通道 LED 恒流驱动芯片



點晶科技股份有限公司  
SITI Silicon Touch Technology Inc.



## DM163

# 8x3-通道 LED 恒流驱动芯片

### 芯片概述

DM163 是专为 LED 显示应用所设计的沉入式恒流驱动芯片。内建移位缓存器，数据锁存器，恒流电路组件，以及 64 x 256 灰阶的 PWM 功能单元。8x3 输出通道的电流可由三个外挂电阻调整，每个通道可驱动高达 60mA 的电流。通过 SELBK pin 脚的选择，灰阶调整数据将被分为 BANK0 和 BANK1 两个单独的部分。BANK0 是 6 bits 灰阶数据，BANK1 是 8bits 灰阶数据。根据这个系统设置，BANK0 和 BANK1 可以同时被最大化使用以达到 8+6 bits 灰阶调整。另外，使用者也可以选择 6 bits 的 BANK0 或者 8 bits 的 BANK1 来进行单点校正，另外的 bank 则用来做影像数据。

DM163 也可以用作 LED 驱动芯片的 PWM 控制器。当 VDDH 连接到 VDD，24 输出通道输出的数字信号都可以被用来控制 LED 驱动芯片。

### 芯片特色

- 24 输出通道
- 8 + 6-bits PWM 灰阶控制
- 恒流输出：5mA 至 60mA（由三个外挂电阻设定）
- 最大承受电压：17V
- 芯片工作电压：3V – 5.5V
- 灰度数据的串行移位输入模式

功能方块图

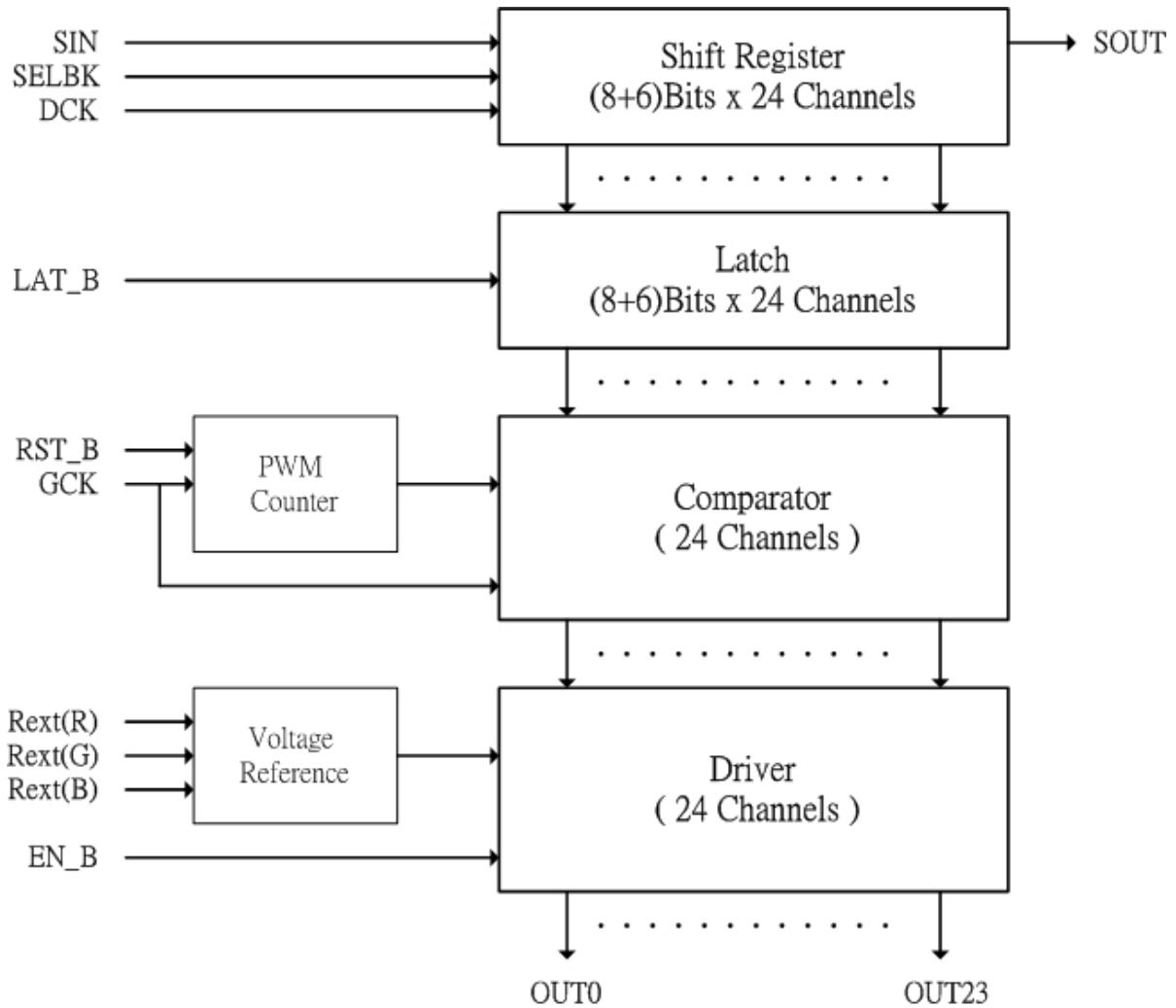


图 1: DM163 的电路原理图

如图 1, DM163 的电路图由一些基本功能单元构成。伴随着时钟讯号 DCK, 灰阶数据通过 SIN pin 脚进入芯片, 通过 SELBK pin 脚选择, 灰阶数据被分为两部分。当 LAT\_B 是高电平时, 已经进入芯片的数据就被送到比较器里面, 通过与比计数器的信号对比, 灰阶数据将决定 PWM 的控制信号, 进而决定显示不同的亮度。外挂电阻 Rext 用来决定输出的电流大小。图 2, 将显示更细节的 DM163 的电路原理图

### 功能方块图

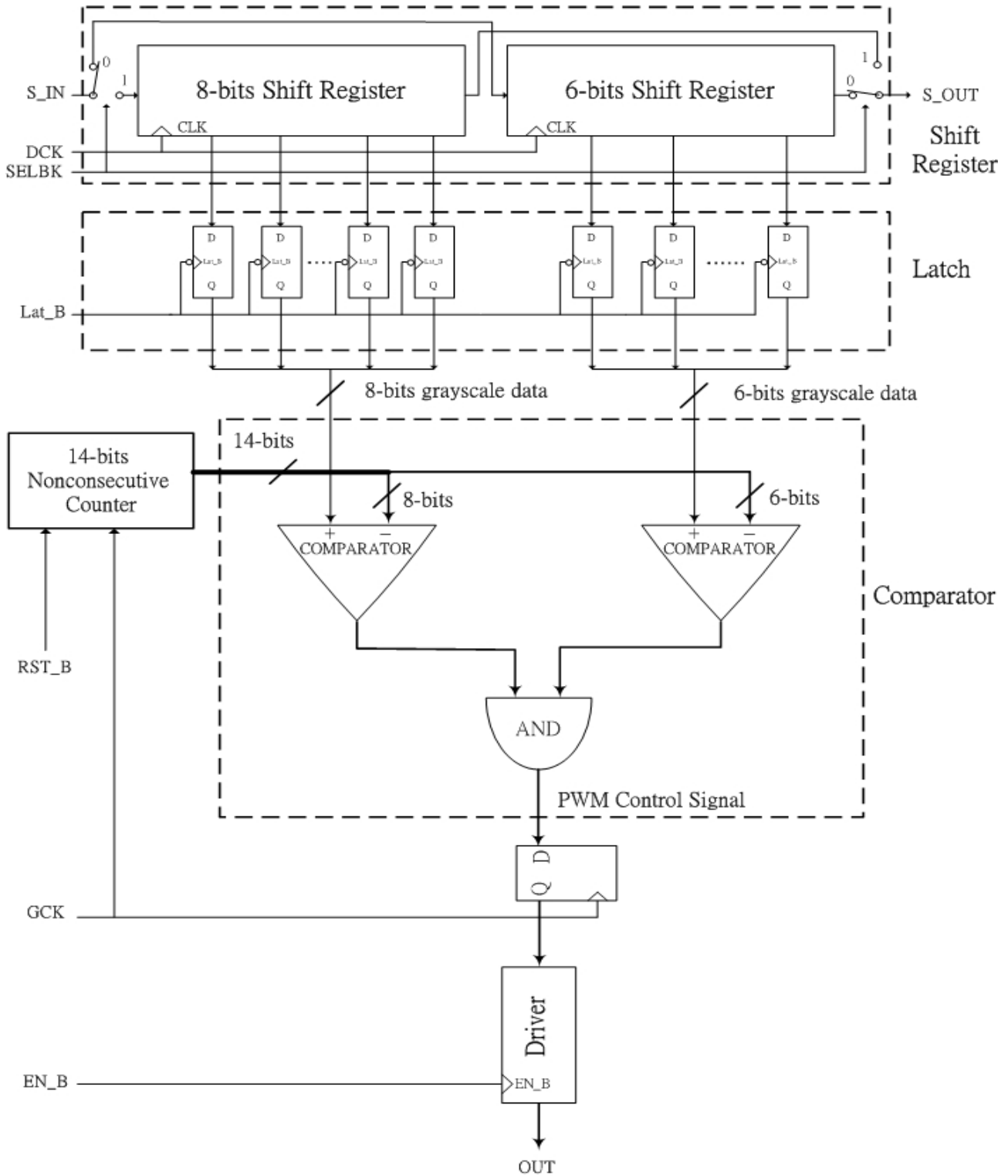
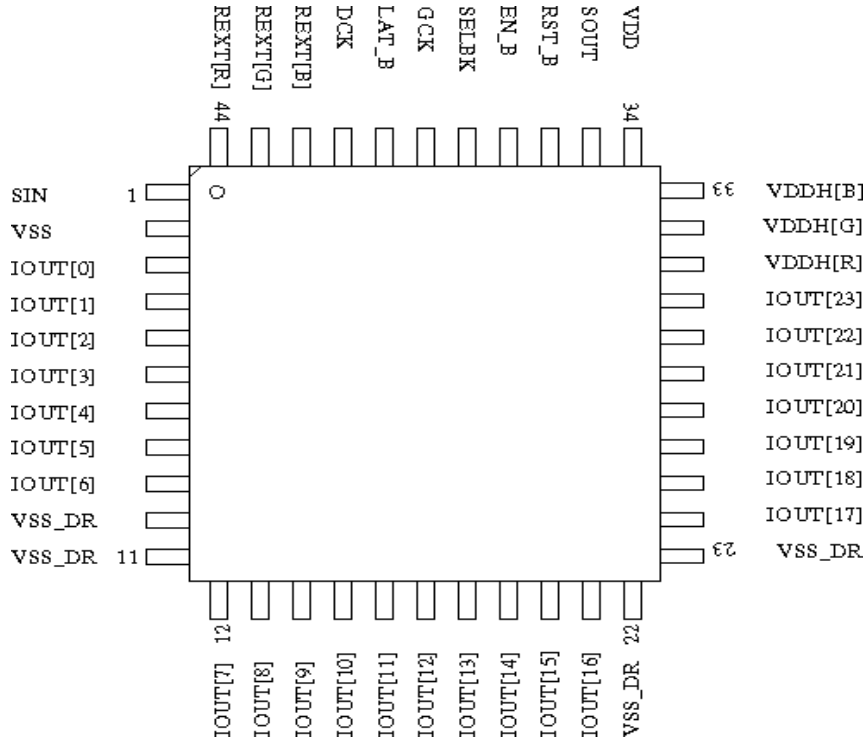


图 2: DM163 细节电路原理图

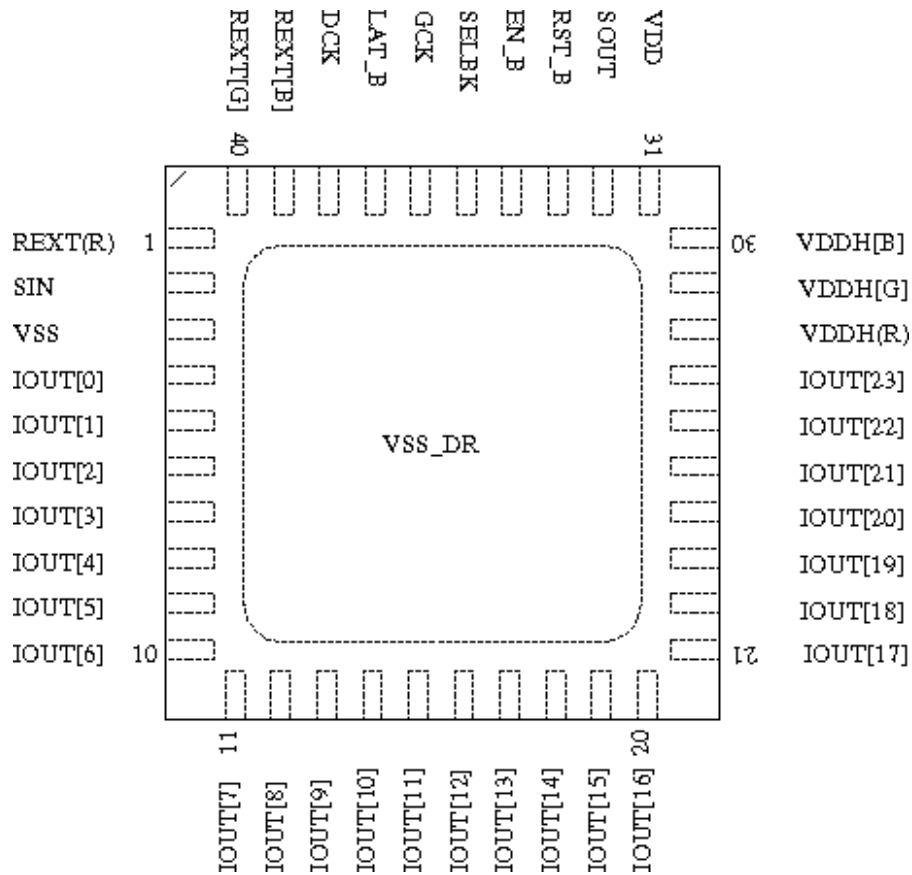
脚位图 (Top view)

QFP44



Pin No.	NAME	Pin No.	NAME	Pin No.	NAME	Pin No.	NAME
1	SIN	12	IOUT[7]	23	VSS_DR	34	VDD
2	VSS	13	IOUT[8]	24	IOUT[17]	35	SOUT
3	IOUT[0]	14	IOUT[9]	25	IOUT[18]	36	RST_B
4	IOUT[1]	15	IOUT[10]	26	IOUT[19]	37	EN_B
5	IOUT[2]	16	IOUT[11]	27	IOUT[20]	38	SELBK
6	IOUT[3]	17	IOUT[12]	28	IOUT[21]	39	GCK
7	IOUT[4]	18	IOUT[13]	29	IOUT[22]	40	LAT_B
8	IOUT[5]	19	IOUT[14]	30	IOUT[23]	41	DCK
9	IOUT[6]	20	IOUT[15]	31	VDDH[R]	42	REXT[B]
10	VSS_DR	21	IOUT[16]	32	VDDH[G]	43	REXT[G]
11	VSS_DR	22	VSS_DR	33	VDDH[B]	44	REXT[R]

QFN40



Pin No.	NAME	Pin No.	NAME	Pin No.	NAME	Pin No.	NAME
1	REXT[R]	11	IOUT[7]	21	IOUT[17]	31	VDD
2	SIN	12	IOUT[8]	22	IOUT[18]	32	SOUT
3	VSS	13	IOUT[9]	23	IOUT[19]	33	RST_B
4	IOUT[0]	14	IOUT[10]	24	IOUT[20]	34	EN_B
5	IOUT[1]	15	IOUT[11]	25	IOUT[21]	35	SELBK
6	IOUT[2]	16	IOUT[12]	26	IOUT[22]	36	GCK
7	IOUT[3]	17	IOUT[13]	27	IOUT[23]	37	LAT_B
8	IOUT[4]	18	IOUT[14]	28	VDDH[R]	38	DCK
9	IOUT[5]	19	IOUT[15]	29	VDDH[G]	39	REXT[B]
10	IOUT[6]	20	IOUT[16]	30	VDDH[B]	40	REXT[G]



## 脚位定义

PIN NAME	FUNCTION	QFP pin number	QFN pin number
VDDH (R)	输出保护端	31	28
VDDH (G)	它们可单独连接，或连接到 VLED	32	29
VDDH (B)		33	30
VDD	芯片工作电源端	34	31
VSS	接地端	2	3
VSS_DR	驱动器的接地端	10, 11, 22, 23	Thermal pad
SIN	串行数据输入端	1	2
SOUT	串行数据输出端	35	32
DCK	时钟信号输入端，串行输入数据于时钟信号的上升沿时被取样。	41	38
SELBK	选择端 高电平‘H’时,缓存器数据存入 8-bit BANK 1 低电平‘L’时,缓存器数据存入 6-bit BANK 0	38	35
LAT_B	锁存信号输入端。 当 LAT_B 由高电平‘H’变为低电平‘L’时，移位寄存器中的数据将被锁存	40	37
GCK	PWM 的时钟输入端。	39	36
REXT(R)	外接电阻应接于 REXT 与 GND 端间以设定输出电流值。 REXT(R)决定 OUT0, 3, 6, 9, 12, 15, 18, 21 的输入电流值	44	1
REXT(G)	REXT(G)决定 OUT1, 4, 7, 10, 13, 16, 19, 22 的输入电流值	43	40
REXT(B)	REXT(B) 决定 OUT2, 5, 8, 11, 14, 17, 20, 23 的输入电流值	42	39
IOUT0~23	沉入式电流输出端 (open-drain)	3, 4, 5, 6, 7, 8, 9, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 24, 25, 26, 27, 28, 29, 30	4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27
EN_B	使能端。 高电平(‘H’)时，所有输出通道关闭 低电平(‘L’)时，所有输出通道打开	37	34
RST_B	复位脚。 当 RST_B 是低电平时初始化 IC。pin 脚有个内部上拉，所以不能悬空。在使用 IC 之前必须复位。否则，LED 可能出现闪烁现象。	36	33



最大工作范围 (Ta=25°C, Tj(max) = 140°C)

特性	符号	最大工作范围	单位
电源电压	VDD	-0.3 ~ 7.0	V
输入电压	VIN	-0.3 ~ V <sub>DD</sub> +0.3	V
输出电流	IOUT	60	mA
输出电压	VOUT	-0.3 ~ 17	V
输入时钟频率	FDCK	20	MHz
PWM 时钟频率	FGCK	20	MHz
接地端电流	IGND	1440	mA
消耗功率	PD	1.36 ( QFP44); 3.63 (QFN40) (Ta=25°C)	W
热阻值	Rth(j-a)	84.42 ( QFP44 ); 31.67 (QFN40)	°C/W
工作温度	Top	-40 ~ 85	°C
存放温度	Tstg	-55 ~ 150	°C

推荐工作参数

直流特性 (Ta = 25°C)

特性	符号	条件	最小值	一般值	最大值	单位
电源电压	VDD	—	3		5.5	V
输出电压	VOUT	—	—	—	17	V
输出电流	IO	OUTn	5	—	60	mA
	IOH	SERIAL-OUT	—	—	2	
	IOL	SERIAL-OUT	—	—	-2	
输入电压	VIH	—	0.8 V <sub>DD</sub>	—	V <sub>DD</sub> +0.2	V
	VIL	—	-0.2	—	0.2 V <sub>DD</sub>	





交流特性 ( $V_{DD} = 5.0\text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

特性	符号	条件	最小值	一般值	最大值	单位
输入时钟频率	FDCK	Cascade operation	—	—	20	MHz
DCK 脉波宽度	twh / twl	High or low level	15	—	—	ns
DCK 电位爬升/下降时间	tr / tf	—	—	—	20	ns
PWM 时钟频率	FGCK	—	1	—	20	MHz
GCK 脉波宽度	twh / twl	High or low level	15	—	—	ns
GCK 电位爬升/下降时间	tr / tf	—	—	—	20	ns
串行输入数据(SIN)启动时间	tsetup(D)	Before DCK rising edge	2	—	—	ns
串行输入数据(SIN)保持时间	thold(D)	After DCK rising edge	3	—	—	ns
时钟信号(DCK) 的启动时间	tsetup(L)	Before LAT_B falling edge	3	—	—	ns
锁存信号(LAT)脉波宽度	tw LAT	—	5	—	—	ns
锁存信号(LAT_B) 启动时间	Tsetup(G)	Before GCK rising edge	13	—	—	ns
选择端 (SELBK) 启动时间	Tsetup(S)	Before DCK rising edge	5	—	—	ns
选择端 (SELBK) 保持时间	Thold(S)	After DCK rising edge	1	—	—	ns

交流特性 ( $V_{DD} = 3.3\text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

特性	符号	条件	最小值	一般值	最大值	单位
输入时钟频率	FDCK	Cascade operation	—	—	20	MHz
DCK 脉波扭曲	twh / twl	High or low level	15	—	—	ns
DCK 电位爬升/下降时间	tr / tf	—	—	—	20	ns
PWM 时钟频率	FGCK	Cascade operation	1	—	20	MHz
GCK 脉波扭曲	twh / twl	High or low level	15	—	—	ns
GCK 电位爬升/下降时间	tr / tf	—	—	—	20	ns
复位端 (RST_B) 脉波扭曲	twrst_b	Low level	100	—	—	ns
串行输入数据(SIN)启动时间	tsetup(D)	Before DCK rising edge	2	—	—	ns
串行输入数据(SIN)保持时间	thold(D)	After DCK rising edge	5	—	—	ns
时钟信号(DCK) 的启动时间	tsetup(L)	Before LAT_B falling edge	5	—	—	ns
锁存信号(LAT)脉波宽度	tw LAT	—	7	—	—	ns
锁存信号(LAT_B)启动时间	Tsetup(G)	Before GCK rising edge	23	—	—	ns
选择端 (SELBK) 启动时间	Tsetup(S)	Before DCK rising edge	9	—	—	ns
选择端 (SELBK) 保持时间	Thold(S)	After DCK rising edge	1	—	—	ns



电气特性 ( $V_{DD} = 5.0\text{ V}$ ,  $T_a = 25^\circ\text{C}$  除非另有规定)

特性	符号	测试条件	最小值	一般值	最大值	单位
输入电压-高电平 ("H" Level)	$V_{IH}$	—	0.8 VDD	—	VDD	V
输入电压-低电平 ("L" Level)	$V_{IL}$	—	GND	—	0.2 VDD	
输出端漏电流	$I_{leak}$	$V_{OH} = 17\text{ V}$	—	—	$\pm 0.1$	$\mu\text{A}$
串行数据输出端(SOUT)电压	VOL	$I_{OL} = 2\text{ mA}$	—	—	0.2	V
	VOH	$I_{OH} = -2\text{ mA}$	4.8	—	—	
输出电流差异 (通道与通道间)	IOL1	$V_{OUT} = 1.0\text{V}$ $R_{EXT} = 2.6\text{k}\Omega$	—	$\pm 3$	$\pm 5$	%
输出电流差异 (芯片与芯片间)	IOL3	$V_{OUT} = 1.0\text{V}$ $R_{EXT} = 2.6\text{k}\Omega$	—	$\pm 4$	$\pm 10$	%
输出电流 对 电源电压之变异率	% / VDD	$R_{EXT} = 3\text{k}\Omega$	—	—	2	% / V
电源端电流 1	IDD, analog	$V_{DD}=5\text{V}$ , $R_{EXT} = 1\text{k}\Omega$	—	42.2	43.4	mA
	IDD, digital	$V_{DD}=5\text{V}$ , $C_{load}=2\text{pF}$ , $DCK=GCK=1\text{MHz}$	—	1	1.5	



交流特性 ( $V_{DD} = 3.3V$ ,  $T_a = 25^\circ C$  除非另有规定)

特性	符号	条件	最小值	一般值	最大值	单位
SOUT 电位爬升时间	$t_{or}$	$V_{IH}=V_{DD}$ $V_{IL}=GND$ $R_{EXT}=3K\Omega$ $CL=13pF$	—	4	5	ns
SOUT 电位下降时间	$t_{of}$		—	4	5	ns
SOUT 延迟反应时间 (低电位到高电位)	$t_{pLH}$		—	24	30	ns
SOUT 延迟反应时间 (高电位到低电位)	$t_{pHL}$		—	20	25	ns
IOUT 电位爬升时间	$t_{or}$	$V_{IH}=V_{DD}$ $V_{IL}=GND$ $R_{EXT}=3K\Omega$ $V_{LED}=3.3V$ $RL=120\Omega$ $CL=33pF$	—	15	18	ns
IOUT 电位下降时间	$t_{of}$		—	20	25	ns
IOUT 延迟反应时间 After GCK or EN_B (L to H / OFF to ON)	$t_{pLH}$		—	35	37	ns
IOUT 延迟反应时间 After GCK or EN_B (H to L / ON to OFF)	$t_{pHL}$		—	30	35	ns

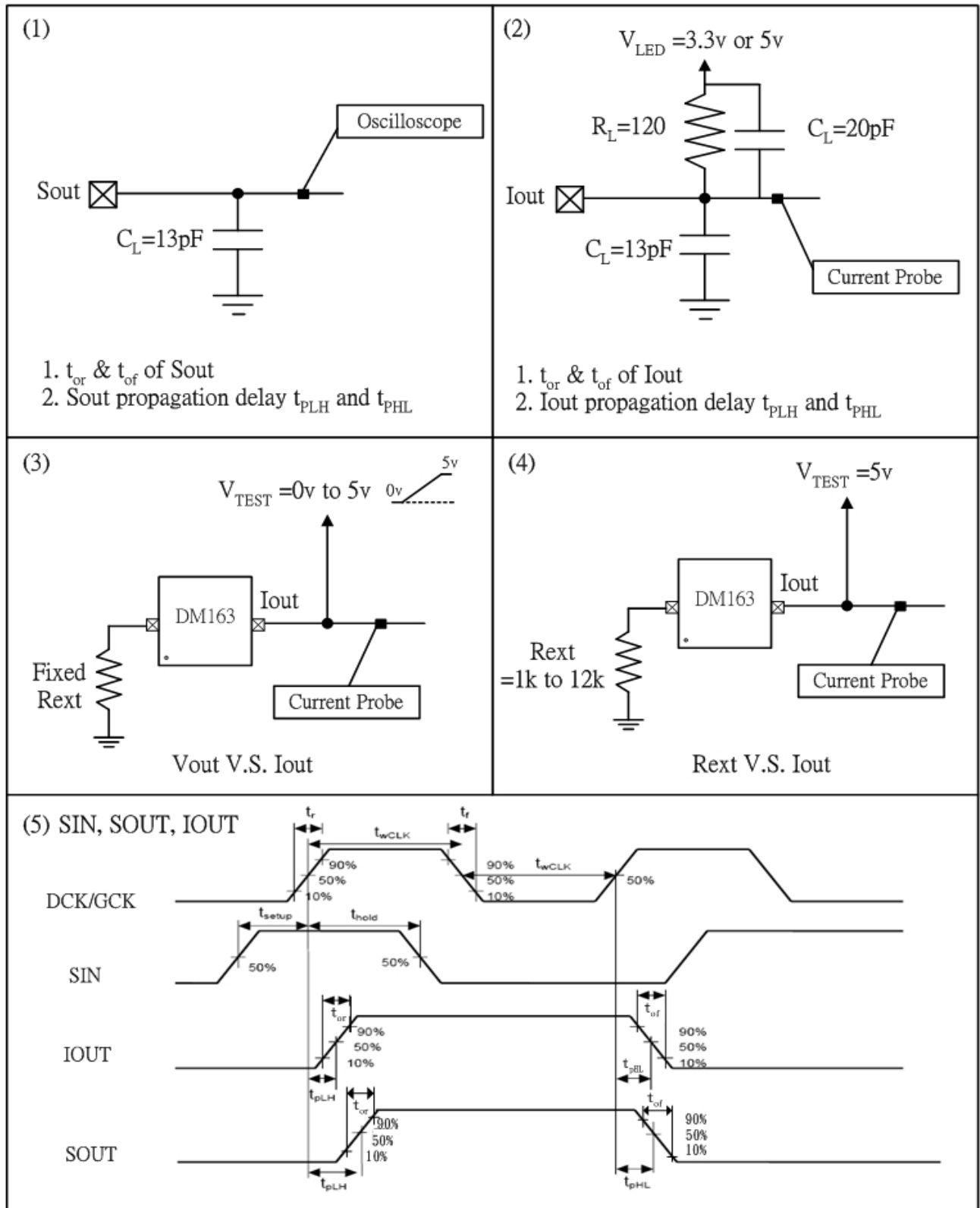
开关特性 ( $V_{DD} = 5.0V$ ,  $T_a = 25^\circ C$ )

特性	符号	条件	最小值	一般值	最大值	单位
SOUT 电位爬升时间	$t_{or}$	$V_{IH}=V_{DD}$ $V_{IL}=GND$ $R_{EXT}=3K\Omega$ $CL=13pF$	—	4	5	ns
SOUT 电位下降时间	$t_{of}$		—	4	6	ns
SOUT 延迟反应时间 (低电位到高电位)	$t_{pLH}$		—	19	25	ns
SOUT 延迟反应时间 (高电位到低电位)	$t_{pHL}$		—	17	23	ns
IOUT 电位爬升时间	$t_{or}$	$V_{IH}=V_{DD}$ $V_{IL}=GND$ $R_{EXT}=3K\Omega$ $V_{LED}=5.0V$ $RL=120\Omega$ $CL=33pF$	—	4	6	ns
IOUT 电位下降时间	$t_{of}$		—	15	18	ns
IOUT 延迟反应时间 After GCK or EN_B (L to H / OFF to ON)	$t_{pLH}$		—	26	30	ns
IOUT 延迟反应时间 After GCK or EN_B (H to L / ON to OFF)	$t_{pHL}$		—	20	25	ns

输入端电容 ( $T_a = 25^\circ C$ )

INPUT NODE	SYMBOL	CONDITION	MIN.	TYP.	MAX.	UNIT
串行数据输入端	$C_{SIN}$	—	—	3	—	pF
时钟信号输入端	$C_{DCK}$	—	—	3	—	pF
PWM 时钟信号端	$C_{GCK}$	—	—	3	—	pF
锁存信号输入端	$C_{LAT\_B}$	—	—	3	—	pF
使能端	$C_{EN\_B}$	—	—	3	—	pF
复位端	$C_{RST\_B}$	—	—	3	—	pF
选择端	$C_{SELBK}$	—	—	3	—	pF

交流特性测试电路



### 灰度数据的串行移位输入模式（移位寄存器结构）

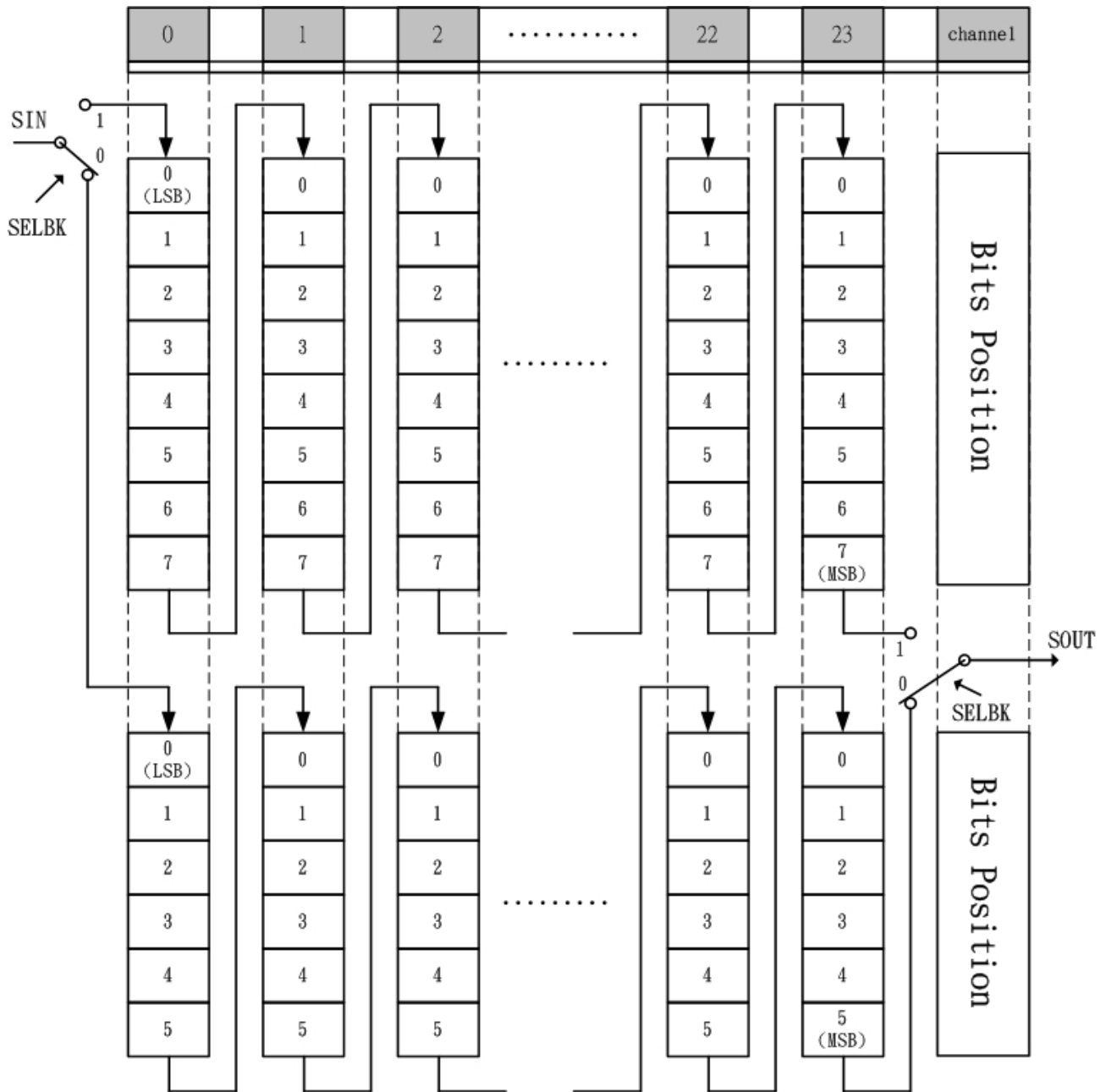


图 3. 灰度数据的串行移位输入模式

移位寄存器采用先进先出（FIFO）模式。第一个进入驱动器的数据是第 23 个通道的最高位，最后一个进入驱动器的数据是第一通道的最低位。并且，SELBK 将决定数据放在哪个 BANK 里。

## 时序图

### Timing diagram

Assumption: 64-graylevel(6-bit) as correction terms, 256-graylevel(8-bit) as image data, N pcs. DM163 connected in series

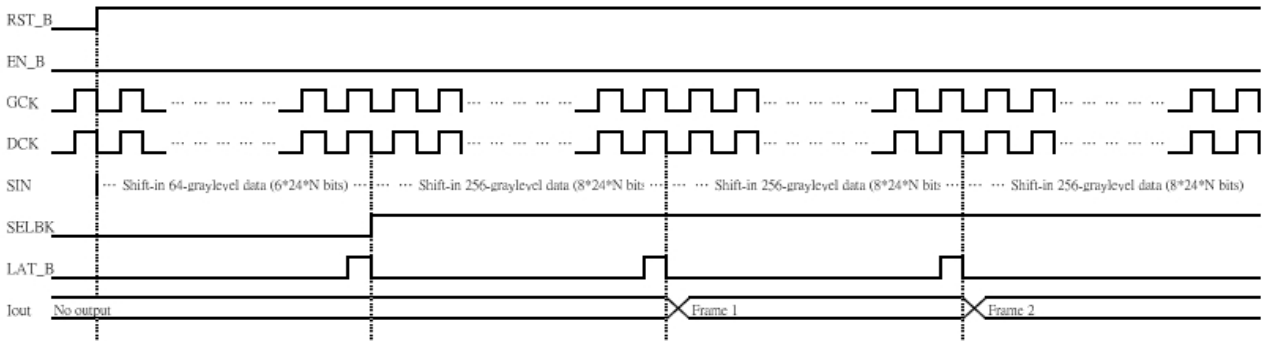


图 4.当 6bits 是校正数据，8bits 是影像数据时的时序图

当 6bits 是校正数据，8bits 是影像数据时（如图 4），使用者必须按照下列顺序设定控制信号：

- (1) 设定 SELBK=L (Bank 0)时，输入 6bits 的校正数据
- (2) 设定 LAT\_B=H 时，更新校正数据
- (3) 设定 SELBK=H (Bank 1)时，输入 8bits 的影像数据
- (4) 设定 LAT\_B=H 时，更新影像数据。DM163 利用这 8bits 的影像数据来决定每个通道的灰阶数
- (5) 重复步骤 (3) 和 (4)

## 时序图

### Timing diagram

Assumption: 64-graylevel(6-bit) and 256-graylevel(8-bit) are both image data, N pcs. DM163 connected in series

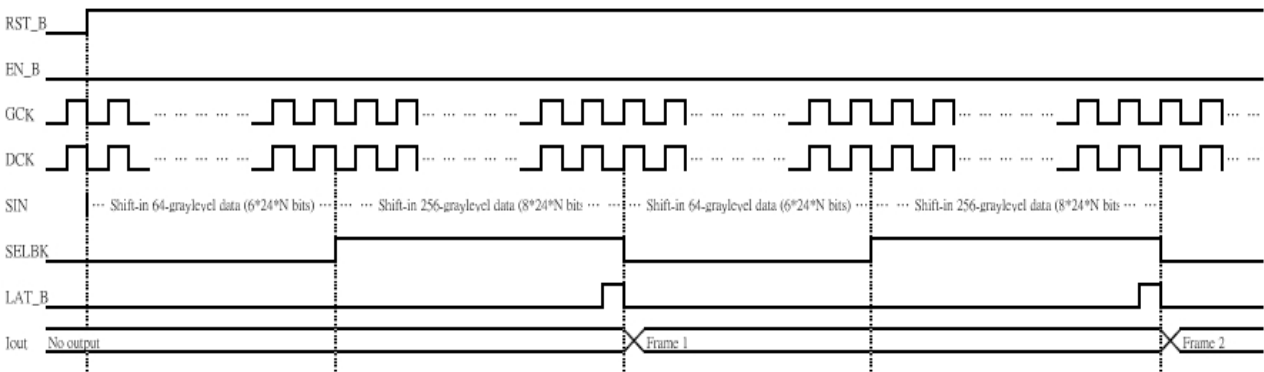


图 5.当 6bits 和 8bits 都用来存放影像数据时候的时序图

当 6bits 和 8bits 都用来存放影像数据时(如图 5), 使用者必须按照下列顺序设定控制信号:

- (1) 设定 SELBK=L (Bank 0)时, 输入 6bits 的校正数据
- (2) 设定 SELBK=H (Bank 1)时, 输入 8bits 的影像数据
- (3) 设定 LAT\_B=H 时, 同时更新 6bits 与 8bits 的影像数据
- (4) 重复步骤(1) 至 (3)

### 时序图

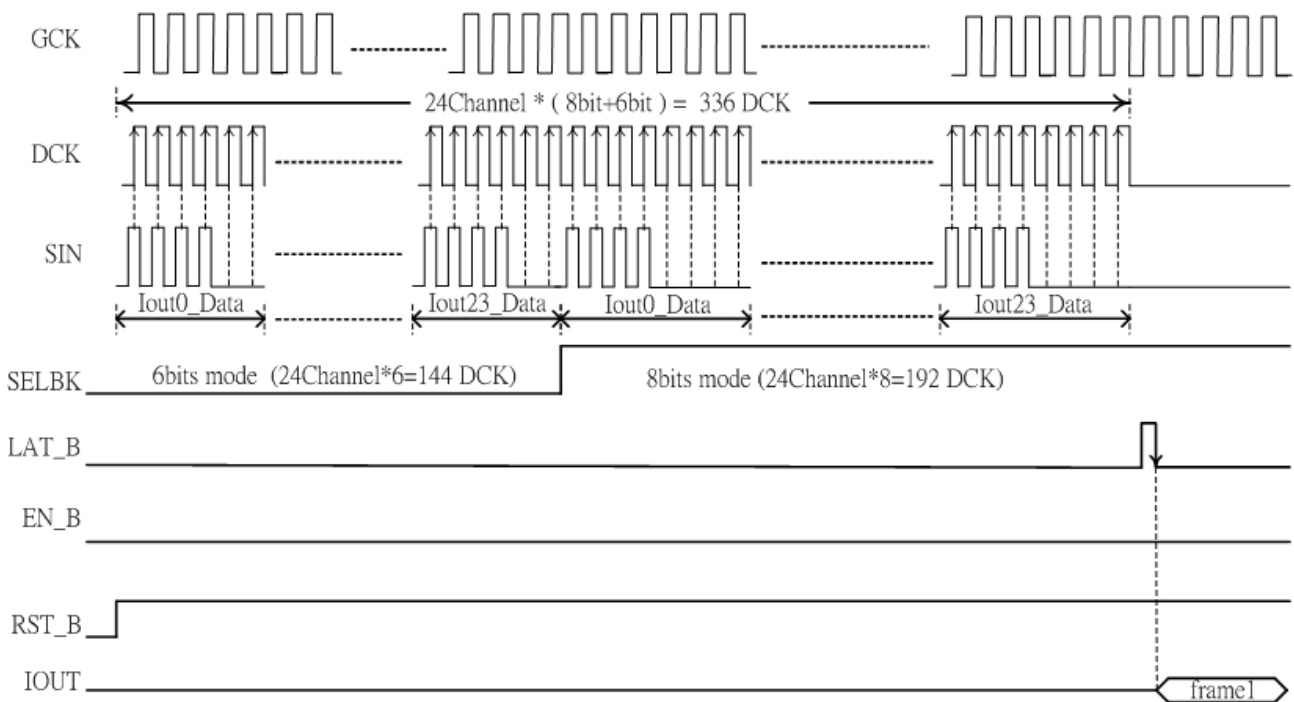


图 6.数据传输的详细时序图

图 6 显示了数据传输的详细时序图。同步时钟信号触发器上升沿有效, 锁存触发器下降沿有效。为了完整的更新一个 6bits 与 8bits 的移位寄存器, 需要 336 个时钟信号 (144 个信号给 6bits 模式, 192 个信号给 8bits 模式) 比如, 在图 6 中, 6bits bank 存放 001111, 8bits bank 存放 00001111, 因此, 平均输出电流的大小为  $(15/256) \times (15/64) \times I_{out}$ 。

公式:  $I_{out, avg} = (BANK\ 1/256) \times (BANK\ 0/64) \times I_{out}$ , 计算出输入的数据与输出电流大小的关系。见图 12,  $I_{out}$  可以由  $I_{out} = 47 \times V_{rext} / R_{ext}$  公式计算出来。

## 特殊现象

如图 2，DM163 里面包含一个与众不同的 PWM 计数器，如图 2 所描述的，因此它的输出波形与传统的 PWM 计数器有明显差别。

### (1) 非连续的信号产生器

DM163 产生的是非连续的 PWM 信号，如图 7 所示。它的波形分散成很多个 PWM 周期，每个 PWM 周期又包含很多中间脉冲。在图 7 中，如果所有的中间脉冲加起来，也相当于亮 50% 的亮度，这与普通的 PWM 模式结果相同。通过分散 PWM 脉冲，这种方法可以降低 LED 在低灰阶应用下的的闪烁情况。

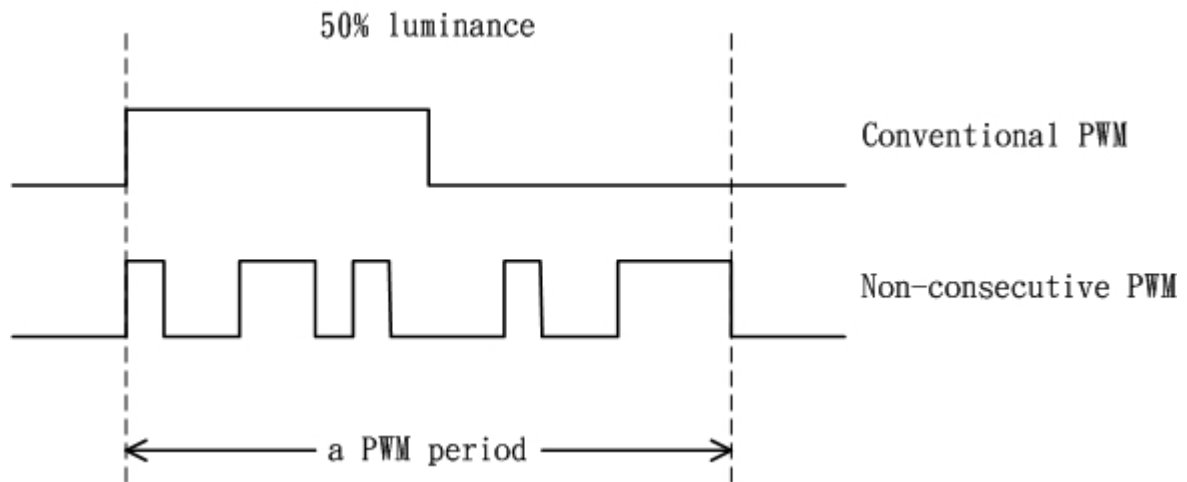


Figure 7. An Example of Nonconsecutive PWM Signal

图 7：非连续的 PWM 信号

### (2) 8+6 bits 的比较器

图 2 中显示的比较器也是 DM163 的特别设计。当比较器“+”端数值大于“-”端数值时，比较器输出为“H”，反之为“L”。只有当 8bits 和 6bits 比较器都输出“H”时，输出通道才会有电流输出。

因为这种比较器的特别设计，DM163 在两个方面具有不同于其他芯片的输出特色。第一，只要 8 bits 或 6 bits bank 中有一个为 0，输出始终为“OFF”；第二，当 8 bit 和 6 bit bank 中所有数据都是“H”时，DM163 将会输出最亮的值（但不是 100% 亮度）。因为这种特殊的设计，当 8bits counter=8'bFF 或者 6bits counter=6'b3F 时，PWM 控制信号都会是 0，而非高电平。



典型应用

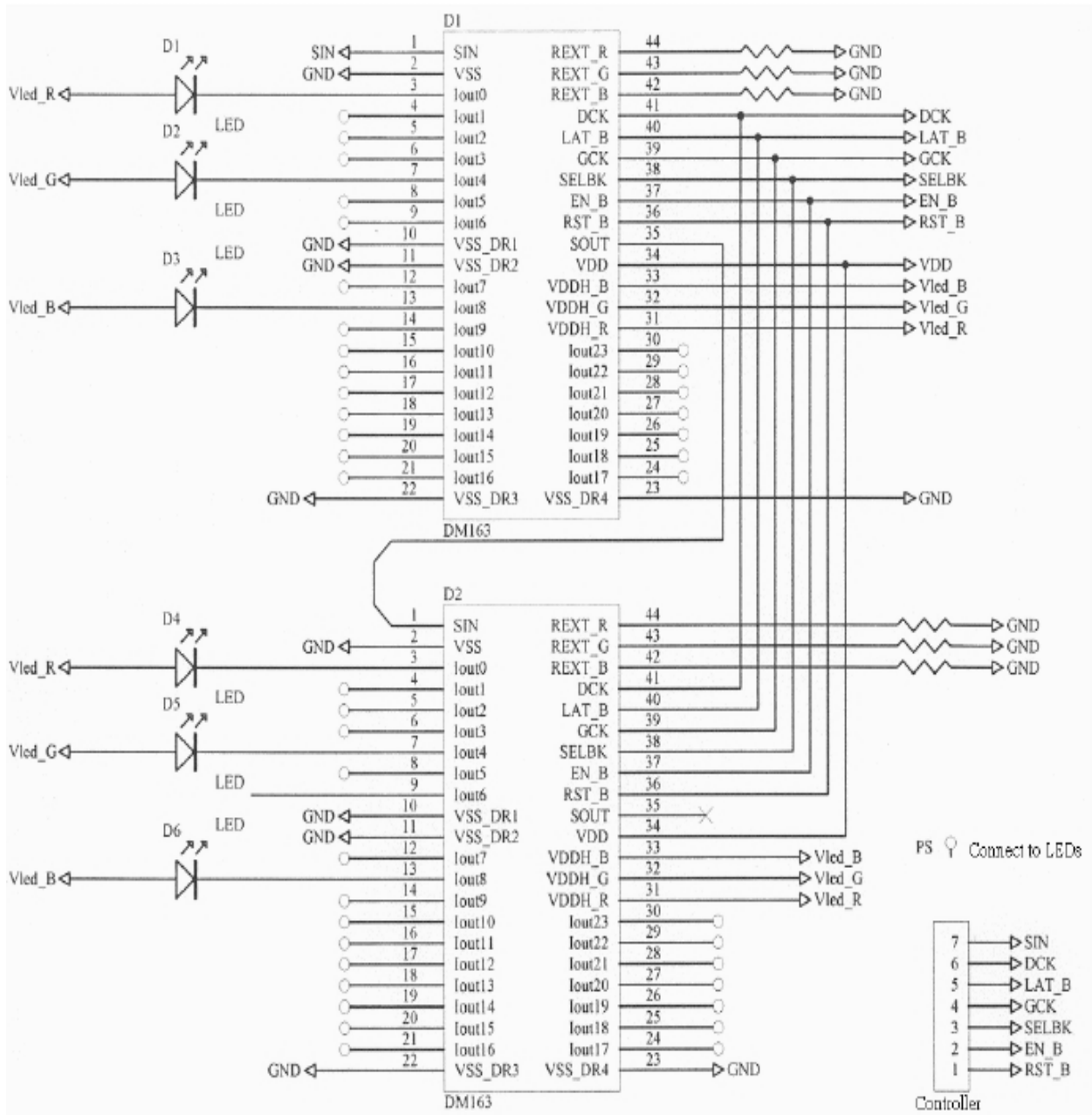


Figure 10. Application Diagram

图 10 典型应用图

注意:

- 1、为了初始化 IC, RST\_B 要连接到控制器。
- 2、VDDH\_R/G/B 要分别单独链接到 Vled\_R/G/B 端
- 3、VSS\_DR 是 LEDs 的接地端。它可以与 VSS 链接。

典型应用 (Cont.)

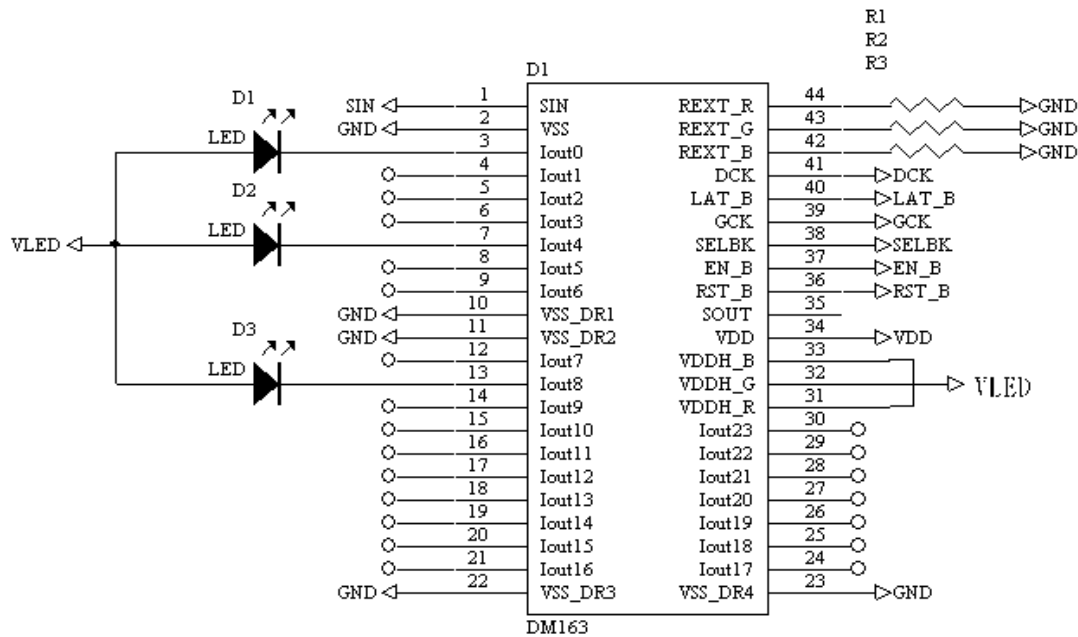


图 11、共阳极 LED 的典型应用

输出电流设定 ( $V_{DD} = 3.3V$  and  $5.0V$ ,  $T_a = 25^\circ C$ )

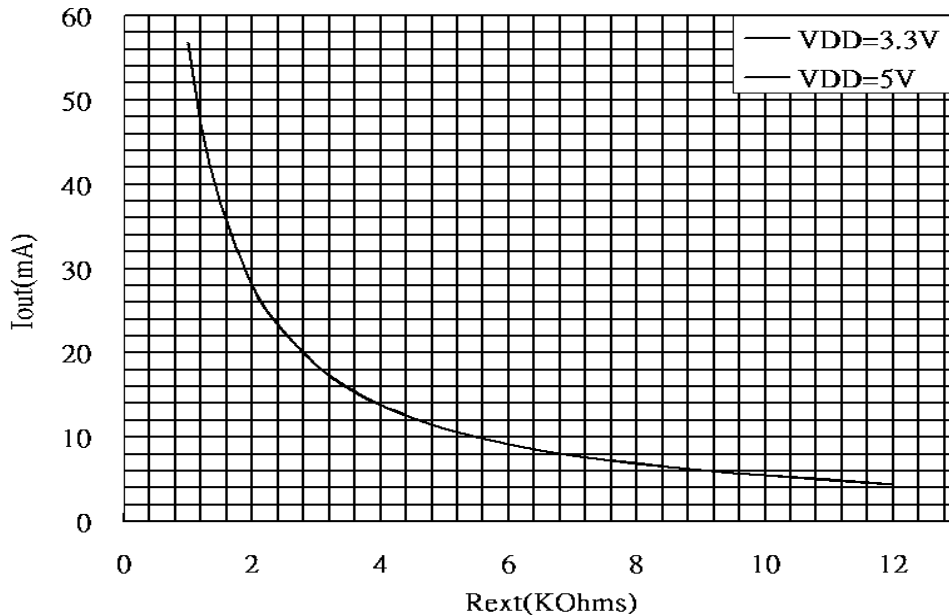


图 12、外挂电阻  $R_{EXT}$  与输出电流  $I_{out}$  关系图

## 输出电流设定 (Cont.)

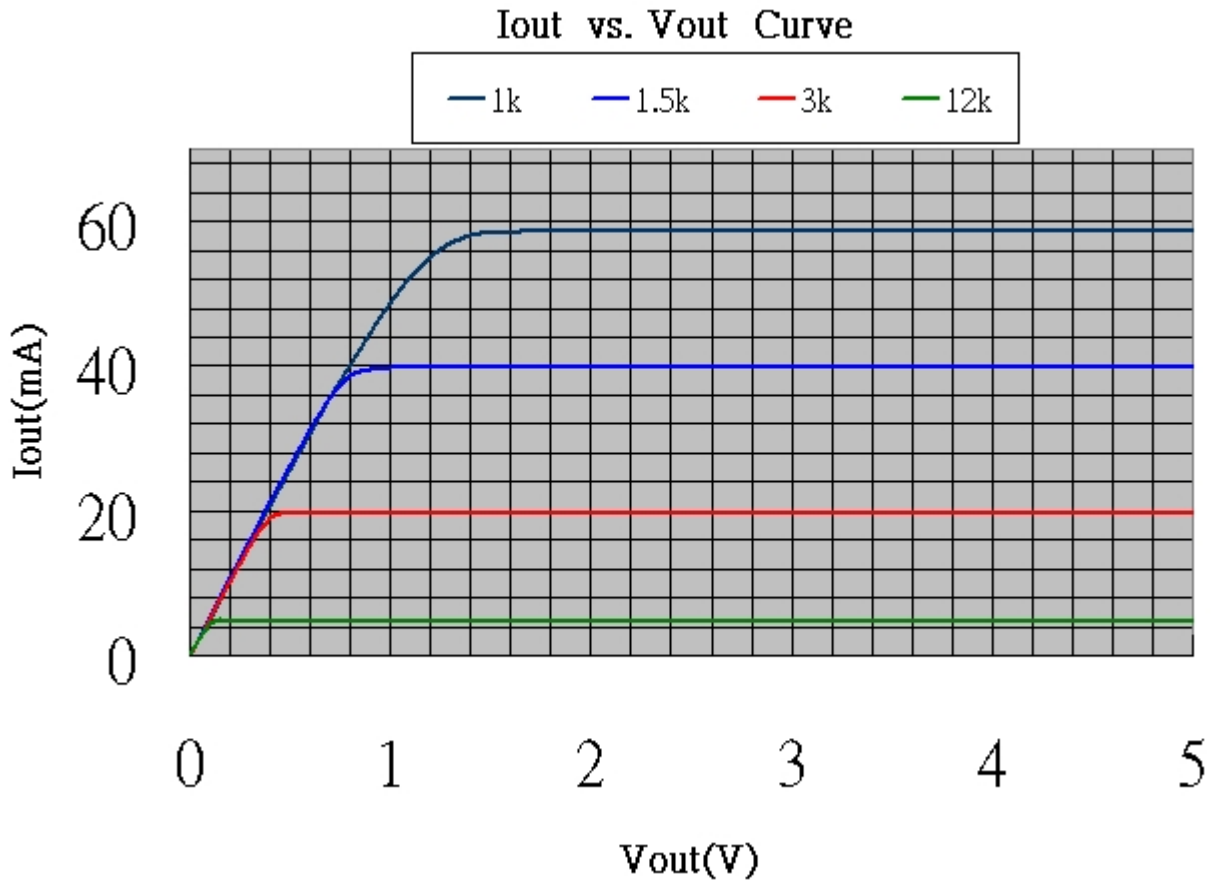


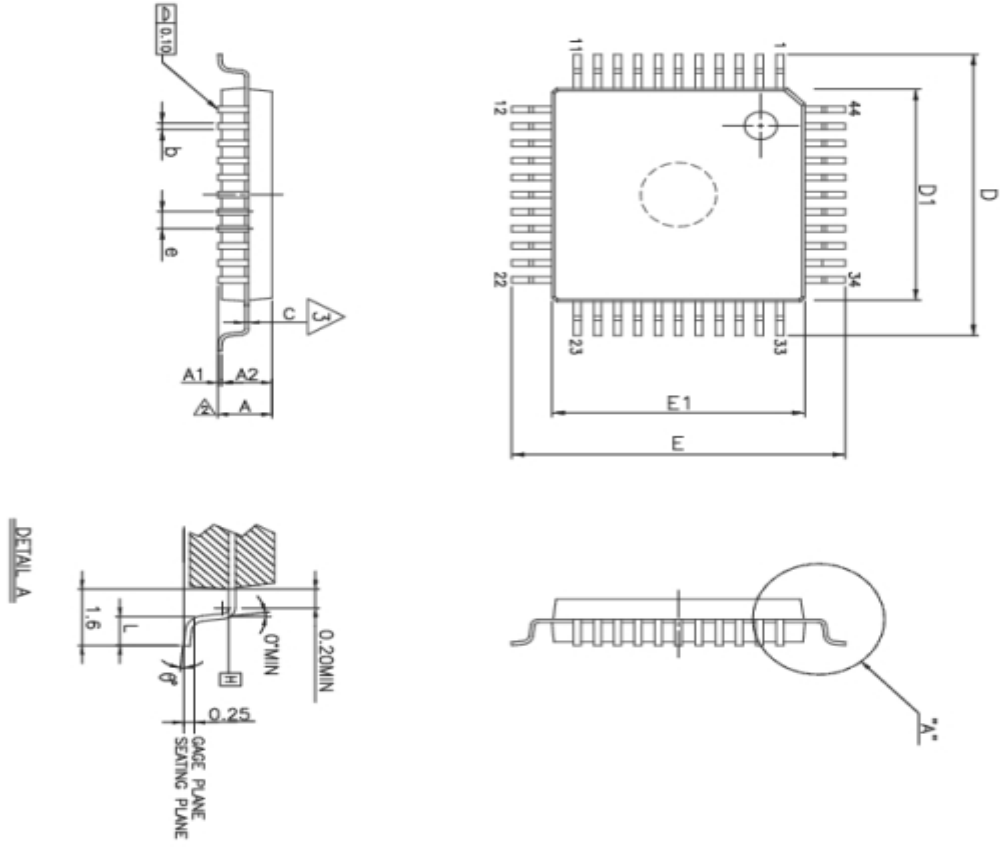
Figure 13. 输出电流  $I_{out}$  与输出电压  $V_{out}$  关系图

图 12 中的曲线是大量测试结果的平均值。由于芯片与芯片间  $V_{rext}$  的差异，使用者可能发现与图中  $I_{out}$ - $V_{out}$  不同的曲线。但是， $V_{DD}=5v$  和  $V_{DD}=3.3v$  时的两条曲线非常接近，这是由于 DM163 采用了负反馈电路来保持  $V_{rext}$  端趋于一个固定值，这个值与  $V_{DD}$  无关。因此， $I_{out}$ -to- $R_{ext}$  曲线不会因为  $V_{DD}$  的变化而有太大的变化。

图 13 中是输出电流  $I_{out}$  与输出电压  $V_{out}$  关系图。当输出电压  $V_{out}$  大于转折点时，输出电流恒定。这也意味着，只要 IC 满足这样的条件，输出电压  $V_{out}$  的变化就不会影响到输出电流  $I_{out}$  的值。

封装外型尺寸

QFP44

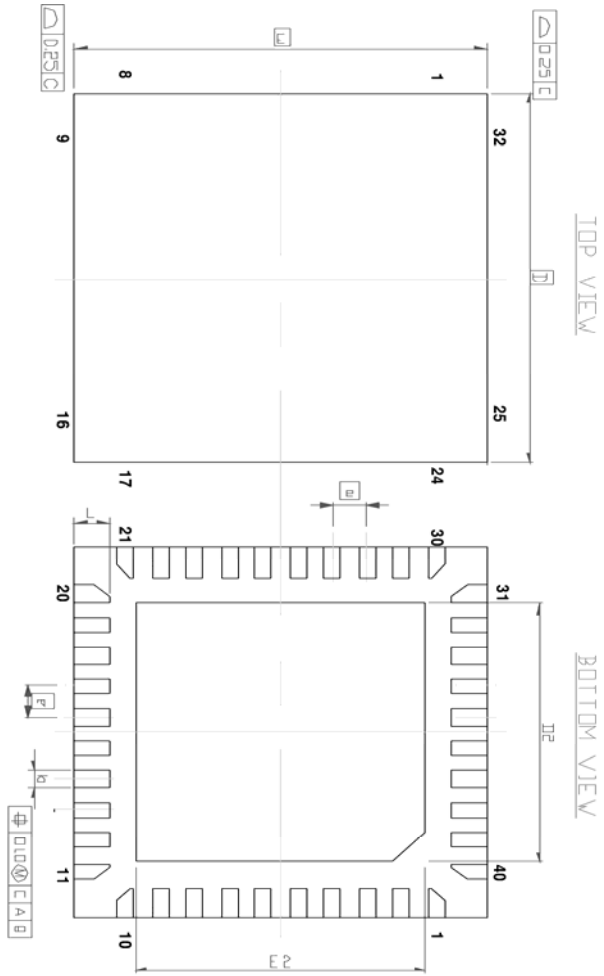
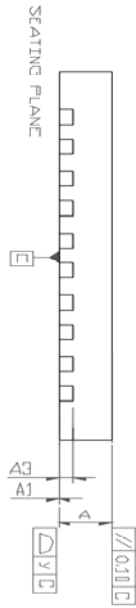


SYMBOLS	MIN.	NOM.	MAX.
A	-	-	2.7
A1	0.25	0.30	0.35
A2	1.9	2.0	2.2
b	0.3 (TYP.)		
D	13.00	13.20	13.40
D1	9.9	10.00	10.10
E	13.00	13.20	13.40
E1	9.9	10.00	10.10
L	0.73	0.88	0.93
e	0.80 (TYP.)		
θ	0	-	7
C	0.1	0.15	0.2

UNIT : mm

- NOTES:
1. JEDEC OUTLINE: MO-108 AA-1
  2. DATUM PLANE [A] IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
  3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25 mm PER SIDE. DIMENSIONS D1 AND E1 DO INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE [A].
  4. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION.

QFN40



SYMBOL	DIMENSION (MM)			DIMENSION (MIL)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	27.6	29.5	31.5
A1	0	0.02	0.03	0	0.8	0.8
A3	0.25 REF			9.84 REF		
b	0.18	0.23	0.30	7.1	9.1	11.8
D	6.00 BSC			236.2 BSC		
D2	1.75	3.70	4.25	68.9	145.7	167.3
E	6.00 BSC			236.2 BSC		
E2	1.75	3.70	4.25	68.9	145.7	167.3
E	0.50 BSC			19.7 BSC		
L	0.30	0.40	0.50	11.8	15.8	19.7
Y	0.10			3.9		

- NOTE:
1. DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994
  2. REFER TO JEDEC STD. MO-220 ISSUE B W/JO-2
  3. DIMENSION "A" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 AND 0.30mm FROM TERMINAL TIP
  4. LEADFRAME MATERIAL IS CLIN94 AND THICKNESS IS 0.20mm (8 MIL)

SIZE	REV	DATE	TITLE	PKG CODE	DRAWING NUMBER	REV
A3			QFN 40 (6x6x0.75 mm)	T741	3388-010-0159	1
DESIGNED	G H LU	2001-04-20	PACKAGE OUTLINE			
CHECKED	G H LU	2001-04-20				
APPROVED						
SCALE		15 : 1				
SHEET		1 OF 1				
PROJ.						



这里列出的产品是设计用于普通电子产品的应用，例如电器、可视化设备、通信产品等等。因此，建议这些产品不应该用于医疗设施、手术设备、航天器、核电控制系统、灾难/犯罪预防设备等类似的设备。这些产品的错误使用可能直接或间接导致威胁到人们的生命或者导致伤害或财产损失。

点晶科技将不负任何因这些产品的错误使用而导致的责任。任何人若购买了这里所描述的任何产品，并含有上述意图或错误使用，应自负全责与赔偿。点晶科技与它的通路商及所有管理者和员工必捍卫己方抵御所有索赔、诉讼，及所有因上述意图或操作而衍生的损坏、成本、及费用。